(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出顧公開番号

特開平8-204022

(43)公開日 平成8年(1996)8月9日

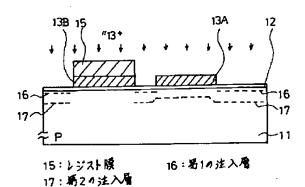
-9-
27/ 08 1 0 2 B 29/ 78 3 0 1 G
000001889 三 芹電機株式会 社
大阪府守口市京阪本道2丁目5番5号
金子 守 大阪府守口市京阪本通2丁目5番5号 三 洋電機株式会社 内
板橋 厚 大阪府守口市京阪本通2丁目5番5号 三 洋電機株式会社内
弁理士 岡田 敬

(54) 【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】工程数の削減とMOSトランジスタの弱反転特性の向上とを可能とする半導体装置の製造方法を提供することを目的としている。

【構成】、第1のイオン注入工程では、第1及び第2の SiN膜(13A.13B)がマスクとして働くような 加速電圧、例えば40KeVでボロンイオン(11B+)を 前記基板(11)のLOCOS酸化膜形成領域に注入し、第1の注入層(16)を形成する。続く第2のイオン注入工程では、第1のSiN膜(13A)を貫通し、かつレジスト膜(15)で被覆された第2のSiN膜(13B)を貫通しない加速電圧、例えば140KeVでボロンイオン(11B+)を前記基板(11)の第1のMOSトランジスタ形成領域に注入し、第2の注入層(17)を形成する。



【特許請求の範囲】

【請求項1】 第1のMOSトランジスタと、第1のMOSトランジスタより厚いゲート酸化膜を有する第2のMOSトランジスタとを具備する半導体装置の製造方法において、

一導電型の半導体基板上に互いに離間された第1及び第 2のSiN膜を形成する工程と、

第2のSiN膜を被覆するようにレジスト膜を形成する 工程と、

第1及び第2のSiN膜がマスクとして働くような加速 10 電圧で一導電型の不純物を前記基板のLOCOS酸化膜 形成領域に注入する第1のイオン注入工程と、

第1のSiN膜を貫通し、かつレジスト膜で被覆された 第2のSiN膜を貫通しない加速電圧で一導電型の不純 物を第1のMOSトランジスタ形成領域に注入する第2 のイオン注入工程と、

レジスト膜を除去した後に第1及び第2のSiN膜を耐酸化性マスクとして熱酸化を行うことによりLOCOS酸化膜を形成する工程と、

第1及び第2のSiN膜を除去した後に厚いゲート酸化 20 膜を形成する第1のゲート酸化工程と、

LOCOS酸化膜をマスクとして一導電型の不純物を前記基板の第1及び第2のトランジスタ形成領域に注入する第3のイオン注入工程と、

第1のMOSトランジスタ形成領域上のゲート酸化膜を 選択的に除去する工程と、

第1のMOSトランジスタ形成領域上に、第2のMOSトランジスタ形成領域上より薄いゲート酸化膜を形成する第2のゲート酸化工程と、を有することを特徴とする 半導体装置の製造方法。

【発明の詳細な説明】

[0001]

【産業上の利用分野】本発明は半導体装置の製造方法に関するものであり、さらに詳しく言えば、ゲート酸化膜厚の異なるMOSトランジスタを有する半導体装置を製造する際の工程の削減、並びにトランジスタの弱反転領域におけるリーク電流の低減を可能とする半導体装置の製造方法に関するものである。

[0002]

【従来の技術】近年のTFT型液晶関連製品の需要増大 40 に伴い、半導体業界においてもLCD駆動用LSIの開発及び製造がきわめて活発になっている。このLCD駆動用LSIは、21Vという高電源電圧で動作する出力ドライバー部分と5Vの標準的な電源電圧で動作する論理回路部分とから構成されるため、ゲート酸化膜の耐圧面の信頼性を考慮して、出力ドライバー部分のゲート酸化膜については論理回路部分に比して厚く形成している。

【0003】以下で、従来例に係る半導体装置の製造方法を図11万至図20を参照しながら説明する。なお、

従来例の半導体装置は実際にはCMOS構造であるが、説明の簡単のためNチャネル側のみ図示した。まず、図11において、P型のシリコン基板(1)上の全面にパッド酸化膜(2)を介してSiN膜(3)を形成する。次に、図12において、レジスト膜(4)をマスクとしてSiN膜(3)を選択的にエッチングすることにより、第1のSiN膜(3A)及び第2のSiN膜(3B)を形成する。その後、図13において、それらをマスクとしてボロンイオン(11B+)をシリコン基板(1)をイオン注入する。このとき、Pチャネル側(図示せず)については、レジスト膜で被覆する工程を行って上記のイオン注入を行う。

【0004】そして、図14において、第1のSiN膜(3A)及び第2のSiN膜(3B)を耐酸化性マスクとして選択酸化を行い、LOCOS酸化膜(5)を形成する。このとき、イオン注入されたボロンが基板(1)の下方へ拡散し、Nチャネル領域のLOCOS酸化膜(5)の下にチャネルストッパ層(6)が形成される。この後、SiN膜及びパッド酸化膜(2)の除去工程を経て、図15において、犠牲酸化膜(7)を形成し、Pチャネル側(図示せず)をレジスト膜(8)で被って、ボロンイオン(11B+)による第1回目のチャネルイオン注入を行う。

【0005】次いで、図16のおいて、第2のMOSトランジスタ形成領域を露出し、かつ第1のMOSトランジスタ形成領域を被覆するようにレジスト膜(9)を形成し、そのレジスト膜(9)をマスクとして、リンイオン(31P+)による第2回目のイオン注入を行う。これは、第2のMOSトランジスタのしきい値(Vth)を調節するために必要とされるイオン注入工程である。

【0006】次に、犠牲酸化膜(7)を除去し、図17 において、熱酸化により600Å程度の厚いゲート酸化 膜(10)を形成する。次いで、図18において、第1 のMOSトランジスタ形成領域上に開口を有するレジス ト膜(11)を形成し、エッチングすることによりその 領域上のゲート酸化膜(10)を選択的に除去する。そ して、図19において、レジスト膜(11)を除去し、 第2回目のゲート酸化工程を行い、第1のMOSトラン ジスタ形成領域上に240Å程度の薄いゲート酸化膜 (10B)を形成するとともに、第2のMOSトランジ スタ形成領域上のゲート酸化膜(10)の膜厚を700 **Å程度まで厚くする。次に、図20において、ゲート酸** 化膜(10,10B)上にそれぞれポリシリコン等から なるゲート電極(12)を形成し、そのゲート電極(1 2)をマスクとしてシリコン基板(1)にリンイオン (31P+)またはヒ素イオン (75As+)をイオン注入し、ソ 一ス層(13)及びドレイン層(14)を形成する。 【0007】以上の工程により、240Å程度のゲート 酸化膜(10B)を有する第1のMOSトランジスタ

50 と、700 A程度のゲート酸化膜(10)を有する第2

3

のMOSトランジスタとを形成し、前者をLCD駆動用 LSIの論理回路部分に、後者を出力ドライバー部分に 使用していた。

[8000]

【発明が解決しようとする課題】しかしながら、従来の 製造方法では、ゲート酸化膜の膜厚の異なる2種類のM OSトランジスタのしきい値を設定するために、2回の チャネルイオン注入工程と、それに伴う2回のマスク合 わせ工程とを行なわなければならず、工程数が多いとい う問題点があった。

【0009】さらに、従来の製造方法では、異なる膜厚のゲート酸化膜を形成するために、上記チャネルイオン注入後に2度のゲート酸化を行っていた。このため、第1回目に注入されたボロンの拡散により、チャネルの表面濃度が高まり、それを補償して適正なしきい値を確保すべく、第2回目のイオン注入においてリンイオンの注入量を多くしなければならなかった。その結果、ゲート酸化膜の厚い第2のMOSトランジスタの弱反転領域(Weak Inversion Region)でのソースドレイン間リーク電流が増加するという問題点も有していた。

【0010】本発明は、上記の問題点に鑑みて為された ものであり、工程数の削減とMOSトランジスタの弱反 転特性の向上とを可能とする半導体装置の製造方法を提 供することを目的としている。

[0011]

【課題を解決するための手段】本発明に係る半導体装置 の製造方法は、第1のMOSトランジスタと、第1のM OSトランジスタより厚いゲート酸化膜を有する第2の MOSトランジスタとを具備する半導体装置の製造方法 において、一導電型の半導体基板上に互いに離間された 30 第1及び第2のSiN膜を形成する工程と、第2のSi N膜を被覆するようにレジスト膜を形成する工程と、第 1及び第2のS i N膜がマスクとして働くような加速電 圧で一導電型の不純物を前記基板のLOCOS酸化膜形 成領域に注入する第1のイオン注入工程と、第1のSi N膜を貫通し、かつレジスト膜で被覆された第2のSi N膜を貫通しない加速電圧で一導電型の不純物を第1の MOSトランジスタ形成領域に注入する第2のイオン注 入工程と、レジスト膜を除去した後に第1及び第2のS i N膜を耐酸化性マスクとして熱酸化を行うことにより 40 LOCOS酸化膜を形成する工程と、第1及び第2のS iN膜を除去した後に厚いゲート酸化膜を形成する第1 のゲート酸化工程と、LOCOS酸化膜をマスクとして 一導電型の不純物を前記基板の第1及び第2のトランジ スタ形成領域に注入する第3のイオン注入工程と、第1 のMOSトランジスタ形成領域上のゲート酸化膜を選択 的に除去する工程と、第1のMOSトランジスタ形成領 域上に、第2のMOSトランジスタ形成領域上より薄い ゲート酸化膜を形成する第2のゲート酸化工程と、を有 することを特徴としている。

[0012]

【作 用】本発明によれば、まず、上記の第2のイオン注入工程で、第1のMOSトランジスタのみに注入を行い、次いで、第3のイオン注入工程で、両方のトランジスタに注入を行うことにより、しきい値を制御している。すなわち、第1のMOSトランジスタでは、第3のイオン注入のみで制御され、一方、第2のMOSトランジスタでは、第2及び第3のイオン注入を足し合わせた注入量において、しきい値の制御がなされる。しかして、第2のイオン注入工程では、チャネルストッパ層形成用の第1のイオン注入工程と同じレジスト膜を兼用しているので、従来に比べてマスク合わせ工程が1回少なくて済むのである。

【0013】さらに、本発明によれば、第3のイオン注入工程の後で、1度のゲート酸化工程しかないので、従来例に比べてチャネルイオン注入後の熱処理量を減少させることができ、ボロンの拡散を極力小さくできる。したがって、従来のように、第2のMOSトランジスタ対してリンイオンによるカウンター注入を必要としない。20 これにより、総チャネル注入量が減り、また、表面にN型不純物がないので、弱反転領域におけるリーク電流を低減することができる。

[0014]

【実施例】以下で、本発明の一実施例に係る半導体装置の製造方法を図面を参照しながら説明する。なお、本実施例に係る半導体装置は実際にはCMOS構造であるが、説明の簡単のためNチャネル側のみ図示している。まず、図1において、P型のシリコン基板(11)上にパッド酸化膜(12)を介して減圧CVD法によりSiN膜(13)(シリコン壁化膜)を形成する。次に、図2において、レジスト膜(14)をマスクとしてSiN膜(13)を選択的にエッチングすることにより、第1のSiN膜(13A)及び第2のSiN膜(13B)を形成する。

【0015】次に、図3において、レジスト膜(14)を除去した後に、再度、第2のSiN膜(13B)を被覆するように、約1μmの膜厚のレジスト膜(15)を形成する。このとき、Pチャネル側(図示せず)も同時にレジスト膜で被覆しているので、従来例と比べてここまでの工程では、マスク合わせ工程数は変わらない。本発明の特徴は、以下に説明する2回のイオン注入工程を行うことである。

【0016】すなわち、第1のイオン注入工程では、第1及び第2のSiN膜(13A,13B)がマスクとして働くような加速電圧、例えば40KeVでポロンイオン(11B+)を前記基板(11)のLOCOS酸化膜形成領域に注入し、第1の注入層(16)を形成する。このイオン注入は、チャネルストッパ層(19)を形成するためのもので、その注入量は5E15/cm2(5E15 は、5掛ける10の15乗を表す。以下において同

じ。)である。続く第2のイオン注入工程では、第1の SiN膜(13A)を貫通し、かつレジスト膜(15) で被覆された第2のSiN膜(13B)を貫通しない加 速電圧、例えば140KeVでポロンイオン(11B+)を 前記基板(11)の第1のMOSトランジスタ形成領域 に注入し、第2の注入層(17)を形成する。このイオ

10

ン注入は、後に形成する膜厚の薄い第1のMOSトランジスタのしきい値を制御するためのものであり、その注入量は、4E12/cm2である。

【0017】次に、図4において、レジスト膜(15)を除去した後に、第1及び第2のSiN膜(13A, 13B)をマスクとして1000℃程度でウエット酸化を行い、8000Å程度のLOCOS酸化膜(18)を形成する。このとき、第1及び第2のイオン注入層(16, 17)が拡散され、LOCOS酸化膜(18)の下にチャネルストッパ層(19)と、第1のMOSトランジスタのチャネル領域にチャネルドープ拡散層(20)とが一体化されて形成される。

【0018】次に、図5において、第1及び第2のSi N膜(13A,13B)、パッド酸化膜(12)を除去 後、犠牲酸化(ダミー酸化)を行い、その犠牲酸化膜を 除去した後に、さらに950℃の熱酸化を行い、600 A程度の厚いゲート酸化膜(21)を形成する。次い で、図6において、Pチャネル側を被覆するレジスト膜 (22)を形成し、ボロンイオン(11B+)を前記基板

(22)を形成し、ボロンイオン(118+)を削記基板(11)の第1及び第2のMOSトランジスタ形成領域に注入する第3のイオン注入工程を行い、第3の注入層(23)を形成する。このイオン注入は、加速電圧140KeV,注入量1.5E12/cm2という条件で行う。これにより、第2のMOSトランジスタのしきい値 30は、本イオン注入によって決定され、第1のMOSトランジスタのしきい値は、本イオン注入と第2のイオン注入との足し合わせにより決定されることになる。

【0019】次に、図7において、第1のMOSトラン ジスタ形成領域上の厚いゲート酸化膜(21)を選択的 に除去する。本工程では、第1のMOSトランジスタ形 成領域上に開口(24)を有するレジスト膜(25)を 形成し、希釈HF溶液により当該ゲート酸化膜(21) を選択的にエッチング除去している。そして、図8にい て、レジスト膜(25)を除去した後に第2のゲート酸 40 化工程を行い、第1のMOSトランジスタ形成領域上 に、第2のMOSトランジスタ形成領域上に比して薄い ゲート酸化膜(26)を形成する、このゲート酸化工程 は、900℃程度の熱酸化により、240Å程度の薄い ゲート酸化膜(26)を形成するが、この酸化工程で厚 いゲート酸化膜(21)も700Å程度にさらに厚くな る。したがって、最終的には、第1のMOSトランジス タについては、240 A程度の薄いゲート酸化膜(2 6) が形成され、第2のMOSトランジスタについて

れる。

【0020】その後は、図9において、常法により、ポリシリコン等からなるゲート電極(27)をそれぞれのゲート酸化膜(21,22)上に形成する。Pチャネル側を被覆するレジスト膜(28)を形成し、このレジスト膜(28)及びゲート電極(27)をマスクとしてリンイオン(31P+)またはヒ素イオン(75As+)をイオン注入し、ソース層(29)及びドレイン層(30)を形成する。

6

【0021】以上の工程により、240Å程度のゲート酸化膜(26)を有する第1のMOSトランジスタと、700Å程度のゲート酸化膜(21)を有する第2のMOSトランジスタとを形成し、前者をLCD駆動用LSIの論理回路部分に、後者を出力ドライバー部分に使用することができる。ここで、第1及び第2のMOSトランジスタのしきい値の制御方法について、図10を参照して説明する。図10は、しきい値とボロンイオン注入量との関係を示す図である。第1のMOSトランジスタと第2のMOSトランジスタとはゲート酸化膜の膜厚が異なるために、図に示すように、第2のMOSトランジスタの方が同一注入量に対してしきい値が高く、かつ注入量に対する傾きも大きい。

【0022】そこで、本実施例では、まず、上記の第2のイオン注入工程で、第1のMOSトランジスタのみに4E12/cm2の注入を行い、次いで、第3のイオン注入工程で、両方のトランジスタに1.5E12/cm2を注入を行うことでしきい値の制御している。すなわち、第2のMOSトランジスタでは、1.5E12/cm2という注入量において、約1.0Vという所望のしきい値が得られ、一方、第1のMOSトランジスタでは、第2及び第3のイオン注入を足し合わせた5.5E12/cm2という注入量において、約0.9Vというほぼ等しいしきい値が得られる。そして、第2のイオン注入工程は、チャネルストッパ層(19)を形成する第1のイオン注入工程と同じレジスト膜(15)をそのまま利用しているので、従来例に比してマスク合わせ工程が1回少なくなるのである。

【0023】さらに、本実施例によれば、第3のイオン注入工程の後は、1回のゲート酸化工程しかないので、従来例に比べてチャネルイオン注入後の熱処理量を減少でき、この結果従来例のように第2のMOSトランジスタに対してリンイオンによるカウンター注入を必要としないのである。なお、図10において、一点鎖線で示したように、従来例ではしきい値が高くなりすぎるために、カウンター注入を必要としていた。これにより、総イオン注入量が減り、またチャネル表面の濃度を比較的高く設定できるので、弱反転領域におけるリーク電流を大幅に小さくすることができた。

[0024]

は、700A程度の厚いゲート酸化膜(21)が形成さ 50 【発明の効果】以上説明したように、本発明によれば、

第1のMOSトランジスタと、第1のMOSトランジスタより厚いゲート酸化膜厚を有する第2のMOSトランジスタとを具備する半導体装置の製造方法において、それぞれのトランジスタのしきい値を所望の値に制御するためのイオン注入工程において必要とされるマスク合わせ回数を従来に比して少なくすることができ、製造工程の合理化に寄与することができる。また、本発明によれば、第2のMOSトランジスタの弱反転特性を向上することができる。特に、低電圧系と高電圧系の二電源を有するLCD駆動用LSI等の製造に適用することにより、製造工程の合理化及び低消費電力化に寄与することができる。

【図面の簡単な説明】

【図1】本発明の一実施例に係る半導体装置の製造方法 を説明する第1の断面図である。

【図2】本発明の一実施例に係る半導体装置の製造方法を説明する第2の断面図である。

【図3】本発明の一実施例に係る半導体装置の製造方法を説明する第3の断面図である。

【図4】本発明の一実施例に係る半導体装置の製造方法 20 を説明する第4の断面図である。

【図5】本発明の一実施例に係る半導体装置の製造方法 を説明する第5の断面図である。

【図6】本発明の一実施例に係る半導体装置の製造方法 を説明する第6の断面図である。

【図7】本発明の一実施例に係る半導体装置の製造方法 を説明する第7の断面図である。 8 【図8】本発明の一実施例に係る半導体装置の製造方法 を説明する第8の断面図である。

【図9】本発明の一実施例に係る半導体装置の製造方法 を説明する第9の断面図である。

【図10】MOSトランジスタのしきい値とイオン注入 量との関係を示す図である。

【図11】従来例に係る半導体装置の製造方法を説明する第1の断面図である。

【図12】従来例に係る半導体装置の製造方法を説明す 10 る第2の断面図である。

【図13】従来例に係る半導体装置の製造方法を説明する第3の断面図である。

【図14】従来例に係る半導体装置の製造方法を説明する第4の断面図である。

【図15】従来例に係る半導体装置の製造方法を説明する第5の断面図である。

【図16】従来例に係る半導体装置の製造方法を説明する第6の断面図である。

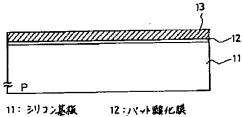
【図17】従来例に係る半導体装置の製造方法を説明する第7の断面図である。

【図18】従来例に係る半導体装置の製造方法を説明する第8の断面図である。

【図19】従来例に係る半導体装置の製造方法を説明する第9の断面図である。

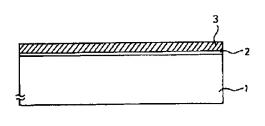
【図20】従来例に係る半導体装置の製造方法を説明する第10の断面図である。

【図1】

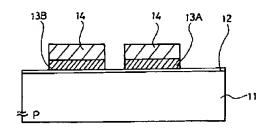


13: SiN膜

【図11】

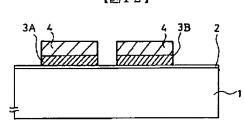


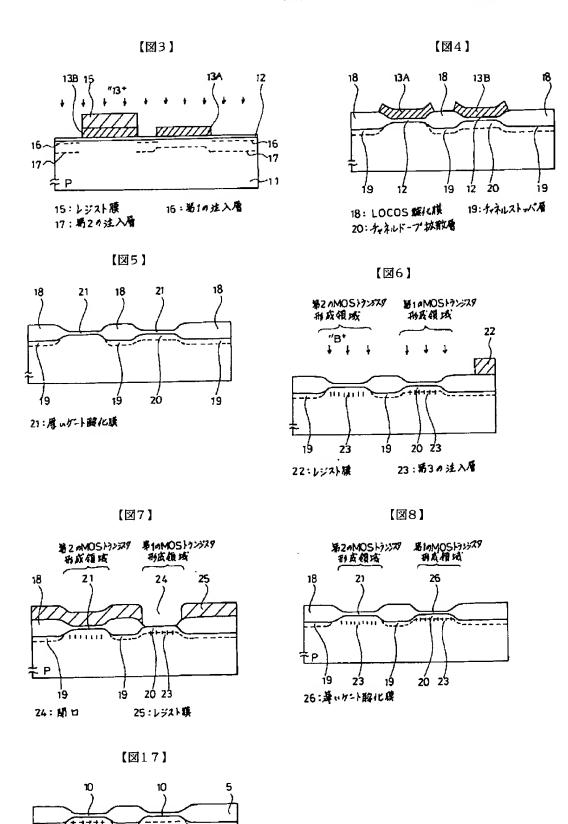
【図2】

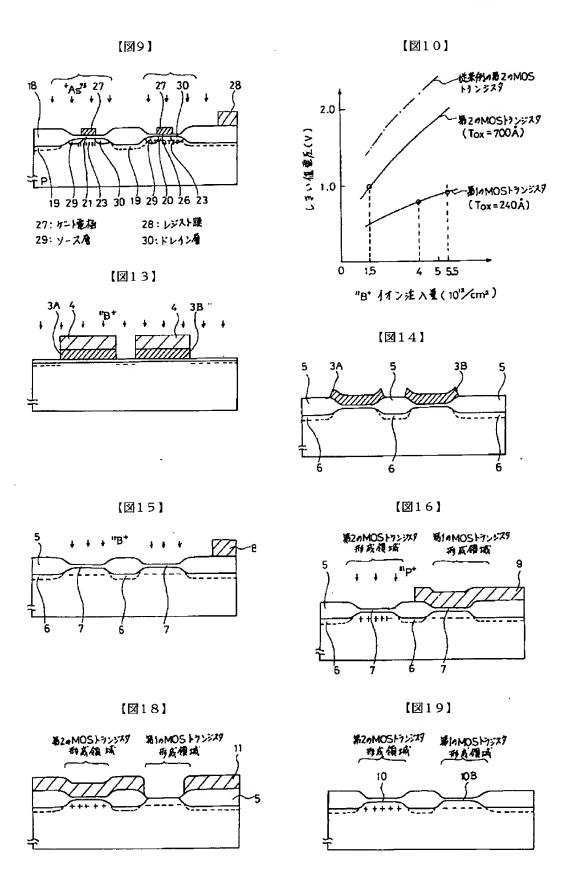


13A ,13B: 新1, お2ヵSiN膜 14:レジスト膜

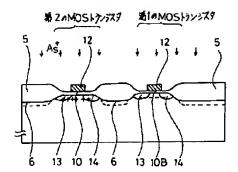
【図12】

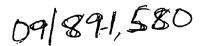






【図20】





JP8-204022-A



MACHINE-ASSISTED TRANSLATION (MAT):

(19)【発行国】(19)[ISSUING COUNTRY]日本国特許庁(JP)Japan Patent Office (JP)

(12)【公報種別】 (12)[GAZETTE CATEGORY] 公開特許公報(A) Laid-open Kokai Patent (A)

(11)【公開番号】 (11)[KOKAI NUMBER]

特開平 8 - 2 0 4 0 2 2 Unexamined Japanese Patent (1996-204022)

Heisei 8-204022

(43)【公開日】 (43)[DATE OF FIRST PUBLICATION]

平成8年(1996)8月9日 (1996.8.9)

(54)【発明の名称】 (54)[TITLE OF THE INVENTION]

半導体装置の製造方法 MANUFACTURING METHOD OF

SEMICONDUCTOR DEVICE

(51) 【国際特許分類第6版】 (51) [IPC Int. Cl. 6]

H01L 21/8234 H01L 21/8234

27/088 27/088 29/78 29/78

(FI) [FI]

H01L 27/08 102 B H01L 27/08 102 B

29/78 301 G 29/78 301 G

【審査請求】 未請求 [REQUEST FOR EXAMINATION] No

【請求項の数】 1 [NUMBER OF CLAIMS] 1

【出願形態】 O L [FORM OF APPLICATION] Electronic



【全頁数】 8

[NUMBER OF PAGES] 8

(21)【出願番号】

(21)[APPLICATION NUMBER]

特願平7-7705

Japanese Patent Application (1995-7705)

Heisei 7-7705

(22)【出願日】

(22)[DATE OF FILING]

平成7年(1995)1月20 (1995.1.20)

(71)【出願人】

(71)[PATENTEE/ASSIGNEE]

【識別番号】

[ID CODE]

000001889

000001889

【氏名又は名称】

[NAME OR APPELLATION]

三洋電機株式会社

Sanyo Electric Co., Ltd.

【住所又は居所】

[ADDRESS OR DOMICILE]

大阪府守口市京阪本通2丁目5

番5号

(72)【発明者】

(72)[INVENTOR]

【氏名】

[NAME OR APPELLATION]

金子 守

Kaneko

Mamoru

【住所又は居所】

[ADDRESS OR DOMICILE]

大阪府守口市京阪本通2丁目5 番 5 号 三洋電機株式会社内

(72)【発明者】

(72)[INVENTOR]



【氏名】

板橋 厚

[NAME OR APPELLATION]

Itabashi Atsushi

【住所又は居所】

[ADDRESS OR DOMICILE]

大阪府守口市京阪本通2丁目5 番 5 号 三洋電機株式会社内

(74)【代理人】

(74)[AGENT]

【弁理士】

[PATENT ATTORNEY]

【氏名又は名称】

岡田 敬

[NAME OR APPELLATION]

Okada Kei

(57)【要約】

(57)[ABSTRACT OF THE DISCLOSURE]

【目的】

る。

[PURPOSE]

工程数の削減とMOSトランジ It aims at providing the manufacturing method スタの弱反転特性の向上とを可 of the semiconductor device which enables a 能とする半導体装置の製造方法 reduction of the number of processes, and an を提供することを目的としてい improvement of the weak reversal property of a MOS transistor.

【構成】

、第1のイオン注入工程では、 くような加速電圧、例えば40

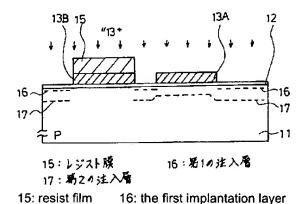
[CONSTITUTION]

In 1st ion-implantation process, a boron ion 第1及び第2のSiN膜(13 (11B+) is implanted into the LOCOS oxide-film A, 13B) がマスクとして働 formation range of said base-plate (11) by acceleration voltage (for example, 40KeV) Ke Vでボロンイオン(11B+) which a 1st and 2nd SiN film (13A, 13B) acts as を前記基板(11)のLOCO a mask, 1st implantation layer (16) is formed. S酸化膜形成領域に注入し、第 In 2nd continuing ion-implantation process, a 1の注入層(16)を形成する。boron ion (11B+) is implanted into 1st 続く第2のイオン注入工程で MOS-transistor formation range said



は、第1のSiN膜(13A) を貫通し、かつレジスト膜(1 5)で被覆された第2のSiN 膜(13B)を貫通しない加速 電圧、例えば140KeVでボ ロンイオン(11B+)を前記基板 (11)の第1のMOSトラン ジスタ形成領域に注入し、第2 の注入層(17)を形成する。

base-plate (11) by the acceleration voltage (for example, 140KeV) which penetrates 1st SiN film (13A) and does not penetrate 2nd SiN film (13B) coated with resist film (15), 2nd implantation layer (17) is formed.



17: the second implantation layer

【特許請求の範囲】

[CLAIMS]

【請求項1】

第1のMOSトランジスタと、 第1のMOSトランジスタより 厚いゲート酸化膜を有する第2 のMOSトランジスタとを具備 いて、

一導電型の半導体基板上に互い に離間された第1及び第2のS iN膜を形成する工程と、

[CLAIM 1]

A manufacturing method of the semiconductor device, in which in the manufacturing method of the semiconductor device which comprises 1st MOS transistor and 2nd MOS transistor which する半導体装置の製造方法にお has a gate oxide film thicker than 1st MOS transistor, the process which forms the 1st and 2nd SiN film which it separated mutually on the semiconductor substrate of one conductivity type, the process which forms a resist film so 第2のSiN膜を被覆するよう that 2nd SiN film may be coated, 1st



と、

一導電型の不純物を前記基板の 2nd ٤.

と、

レジスト膜を除去した後に第1 する工程と、

٤.

の第1及び第2のトランジスタ range, it has these processes. 形成領域に注入する第3のイオ ン注入工程と、

第1のMOSトランジスタ形成 領域上のゲート酸化膜を選択的 に除去する工程と、

第1のMOSトランジスタ形成 領域上に、第2のMOSトラン ジスタ形成領域上より薄いゲー ト酸化膜を形成する第2のゲー

にレジスト膜を形成する工程 ion-implantation process which implants the impurity of one conductivity type into the 第1及び第2のSiN膜がマス LOCOS oxide-film formation range of said base クとして働くような加速電圧で plate by acceleration voltage which a 1st and SiN film acts as a mask, LOCOS酸化膜形成領域に注 ion-implantation process which implants the 入する第1のイオン注入工程 impurity of one conductivity type into MOS-transistor formation range by 第1のSiN膜を貫通し、かつ acceleration voltage which does not penetrate レジスト膜で被覆された第2の 2nd SiN film coated with the resist film, and S i N膜を貫通しない加速電圧 which penetrated 1st SiN film, the process で一導電型の不純物を第1のM which forms a LOCOS oxide film by oxidizing OSトランジスタ形成領域に注 thermally by using a 1st and 2nd SiN film as an 入する第2のイオン注入工程 oxidation-resistant mask after removing a resist film, 1st gate oxidation process which forms a gate oxide film thick after removing a 1st and 及び第2のSiN膜を耐酸化性 2nd SiN film, 3rd ion-implantation process マスクとして熱酸化を行うこと which implants the impurity of one conductivity によりLOCOS酸化膜を形成 type into the 1st and 2nd transistor formation range of said base plate by using a LOCOS 第1及び第2のSiN膜を除去 oxide film as a mask, the process which した後に厚いゲート酸化膜を形 removes selectively the gate oxide film on 1st 成する第1のゲート酸化工程 MOS-transistor formation range, 2nd gate oxidation process which forms a gate oxide film LOCOS酸化膜をマスクとし thinner than 2nd MOS-transistor formation て一導電型の不純物を前記基板 range top on 1st MOS-transistor formation



ト酸化工程と、を有することを 特徴とする半導体装置の製造方 法。

【発明の詳細な説明】

[DETAILED **DESCRIPTION** OF THE INVENTION]

[0001]

[0001]

【産業上の利用分野】

に関するものであり、さらに詳 method of a semiconductor device. ある。

[0002]

[INDUSTRIAL APPLICATION]

本発明は半導体装置の製造方法 This invention relates to the manufacturing

しく言えば、ゲート酸化膜厚の In more detail, it is related with the 異なるMOSトランジスタを有 manufacturing method of the semiconductor する半導体装置を製造する際の device which enables reduction of the process 工程の削減、並びにトランジス at the time of manufacturing the semiconductor タの弱反転領域におけるリーク device which has the MOS transistor from 電流の低減を可能とする半導体 which gate oxidation film thickness differ, and 装置の製造方法に関するもので decease of the leak electric current in the weak reversal range of a transistor.

[0002]

【従来の技術】

なっている。このLCD駆動用 semiconductor industry.

[PRIOR ART]

近年のTFT型液晶関連製品の It accompanies to demand increase of a TFT 需要増大に伴い、半導体業界に type liquid-crystal related product in recent おいてもLCD駆動用LSIの years, and development and manufacture of 開発及び製造がきわめて活発に LSI for LCD actuation are very active also in the

LSIは、21Vという高電源 This LSI for LCD actuation comprises an output 電圧で動作する出力ドライバー driver part which operates by high source 部分と5Vの標準的な電源電圧 voltage called 21V, and a logic-circuit part which で動作する論理回路部分とから operates by the standard source voltage of 5V.



構成されるため、ゲート酸化膜 Therefore, reliability of the withstand-pressure の耐圧面の信頼性を考慮して、 化膜については論理回路部分に 比して厚く形成している。

surface of a gate oxide film is considered, and it 出力ドライバー部分のゲート酸 forms thickly as compared with a logic-circuit part about the gate oxide film of an output driver part.

[0003]

以下で、従来例に係る半導体装 置の製造方法を図11乃至図2 お、従来例の半導体装置は実際 上の全面にパッド酸化膜(2) する。次に、図12において、 レジスト膜(4)をマスクとし ッチングすることにより、第1 SiN膜(3B)を形成する。 (11B+)をシリコン基板 (1) をイオン注入する。このとき、 Pチャネル側(図示せず)につ implantation is performed. いては、レジスト膜で被覆する 工程を行って上記のイオン注入 を行う。

[0004]

[0003]

Below, the manufacturing method of the semiconductor device based on a prior art Oを参照しながら説明する。な example is demonstrated, seeing FIG. 11 - FIG. 20.

にはCMOS構造であるが、説 In addition, the semiconductor device of a prior 明の簡単のためNチャネル側の art example is CMOS structure in fact.

み図示した。まず、図11にお However, only the N channel side was いて、P型のシリコン基板(1) illustrated for the simplicity of explanation.

First, in FIG. 11, SiN film (3) is formed in the を介してSiN膜(3)を形成 whole surface on silicon-substrate (1) of a P-type through pad oxide-film (2).

Next, in FIG. 12, 1st SiN film (3A) and 2nd SiN てSiN膜(3)を選択的にエ film (3B) are formed by etching SiN film (3) selectively by using resist film (4) as a mask.

のSiN膜(3A)及び第2の After that, in FIG. 13, the ion implantation of silicon-substrate (1) is carried out for a boron その後、図13において、それ ion (11B+) by making them into a mask.

らをマスクとしてボロンイオン At this time, about a P channel side (not shown), the process coated with a resist film is performed and the above-mentioned

[0004]

そして、図14において、第1 And in FIG. 14, a selective oxidation is のSiN膜(3A)及び第2の performed by using 1st SiN film (3A) and 2nd SiN膜(3B)を耐酸化性マ SiN film (3B) as an oxidation-resistant mask,



ル側(図示せず)をレジスト膜 (8) で被って、ボロンイオン (11B+)による第1回目のチャ ネルイオン注入を行う。

スクとして選択酸化を行い、L and LOCOS oxide-film (5) is formed.

OCOS酸化膜(5)を形成す At this time, the boron which it ion-implanted is る。このとき、イオン注入され diffused under base-plate (1), channel-stopper たボロンが基板(1)の下方へ layer (6) is formed in the bottom of LOCOS 拡散し、Nチャネル領域のLO oxide-film (5) of an N channel range.

COS酸化膜(5)の下にチャ Then, in FIG. 15, sacrificial-oxidation film (7) is ネルストッパ層 (6) が形成さ formed passing through the elimination process れる。この後、SiN膜及びパ of a SiN film and pad oxide-film (2), a P channel ッド酸化膜(2)の除去工程を side (not shown) is covered by resist film (8), 経て、図15において、犠牲酸 and the first time channel ion implantation by 化膜(7)を形成し、Pチャネ the boron ion (11B+) is performed.

[0005]

スクとして、リンイオン (31P+) as a mask. ランジスタのしきい値(Vth)を (Vth) of 2nd MOS transistor. 調節するために必要とされるイ オン注入工程である。

[0005]

次いで、図16のおいて、第2 Subsequently, in FIG. 16, resist film (9) is のMOSトランジスタ形成領域 formed so that 2nd MOS-transistor formation を露出し、かつ第1のMOSト range may be exposed and 1st MOS-transistor ランジスタ形成領域を被覆する formation range may be coated, the second ようにレジスト膜(9)を形成 time ion implantation by the phosphorus ion し、そのレジスト膜(9)をマ (31P+) is performed by using the resist film (9)

による第2回目のイオン注入を This is an ion implantation process made 行う。これは、第2のMOSト necessary in order to adjust the threshold value

[0006]

[0006]

次に、犠牲酸化膜(7)を除去 Next, sacrificial-oxidation film (7) is removed, in し、図17において、熱酸化に FIG. 17, thick gate oxide-film (10) of about 600 より600Å程度の厚いゲート Angstroms is formed by thermal oxidation.

酸化膜(10)を形成する。次 Subsequently, in FIG. 18, resist film (11) which いで、図18において、第1の has opening is formed on 1st MOS-transistor



1) を形成し、エッチングする And resist film (11) is removed in FIG. 19, while ことによりその領域上のゲート performing a second time gate oxidation する。そして、図19において、 レジスト膜(11)を除去し、 いゲート酸化膜(10B)を形 トランジスタ形成領域上のゲー ト酸化膜(10)の膜厚を70 OA程度まで厚くする。次に、 (10, 10B) 上にそれぞれ formed. ポリシリコン等からなるゲート 電極(12)を形成し、そのゲ ート電極(12)をマスクとし てシリコン基板(1)にリンイ オン(31P+)またはヒ素イオン (75As+)をイオン注入し、ソー ス層(13)及びドレイン層(1 4) を形成する。

MOSトランジスタ形成領域上 formation range, gate oxide-film (10) on the に開口を有するレジスト膜(1 range is selectively removed by etching.

酸化膜(10)を選択的に除去 process and forming thin gate oxide-film (10B) of about 240 Angstroms on 1st MOS-transistor formation range, the film thickness of gate 第2回目のゲート酸化工程を行 oxide-film (10) on 2nd MOS-transistor formation い、第1のMOSトランジスタ range are thickened to about 700 Angstroms. 形成領域上に240Å程度の薄 Next, in FIG. 20, gate-electrode (12) which consists of a polysilicon etc., respectively is 成するとともに、第2のMOS formed on a gate oxide film (10 10B), a phosphorus ion (31P+) or an arsenic ion (75As+) is ion-implanted in silicon-substrate (1) by using the gate-electrode (12) as a mask, 図20において、ゲート酸化膜 source layer (13) and drain layer (14) are

[0007]

OSトランジスタとを形成し、 前者をLCD駆動用LSIの論 used for the output driver part. 理回路部分に、後者を出力ドラ イバー部分に使用していた。

[0007]

以上の工程により、240 Å程 By the above process, 1st MOS transistor which 度のゲート酸化膜(10B)を has gate oxide-film (10B) of about 240 有する第1のMOSトランジス Angstroms, and 2nd MOS transistor which has タと、700Å程度のゲート酸 gate oxide-film (10) of about 700 Angstroms are 化膜(10)を有する第2のM formed, the former was used for the logic-circuit part of LSI for LCD actuation, and the latter was



[0008]

[8000]

題】

問題点があった。

[0009]

さらに、従来の製造方法では、 成するために、上記チャネルイ を行っていた。このため、第1 回目に注入されたボロンの拡散 により、チャネルの表面濃度が 高まり、それを補償して適正な 目のイオン注入においてリンイ ならなかった。その結果、ゲー ト酸化膜の厚い第2のMOSト Inversion Region)でのソースド レイン間リーク電流が増加する という問題点も有していた。

[0010]

【発明が解決しようとする課 [PROBLEM TO BE SOLVED BY THE INVENTION

しかしながら、従来の製造方法 However, in the conventional manufacturing では、ゲート酸化膜の膜厚の異 method, in order to set up the threshold value of なる 2 種類のMOSトランジス two kinds of MOS transistors from which the film タのしきい値を設定するため thickness of a gate oxide film differ, 2 times of に、2回のチャネルイオン注入 channel ion implantation processes and 2 times 工程と、それに伴う2回のマス of the mask alignment processes accompanied ク合わせ工程とを行なわなけれ to it had to be performed, and there was a ばならず、工程数が多いという trouble that there were many processes.

[0009]

Furthermore, in the conventional manufacturing 異なる膜厚のゲート酸化膜を形 method, in order to form the gate oxide film of different film thickness, two gate oxidation was オン注入後に2度のゲート酸化 performed after the above-mentioned channel ion implantation.

For this reason, the surface concentration of a channel increases according to diffusion of the boron implanted into the first time, in order to しきい値を確保すべく、第2回 compensate it and to ensure an appropriate threshold value, in the second time ion オンの注入量を多くしなければ implantation, the implantation amount of a phosphorus ion had to be made much.

Consequently, it also had the trouble that the ランジスタの弱反転領域(Weak source drains leak electric current in the weak reversal range (Weak Inversion Region) of 2nd thick MOS transistor of a gate oxide film increased.

[0010]



て為されたものであり、工程数 succeeded in this invention. することを目的としている。

本発明は、上記の問題点に鑑み In view of the above-mentioned trouble, it

の削減とMOSトランジスタの It aims at providing the manufacturing method 弱反転特性の向上とを可能とす of the semiconductor device which enables a る半導体装置の製造方法を提供 reduction of the number of processes, and an improvement of the weak reversal characteristics of a MOS transistor.

[0011]

[0011]

【課題を解決するための手段】 本発明に係る半導体装置の製造 In 方法は、第1のMOSトランジ スタと、第1のMOSトランジ する第2のMOSトランジスタ 方法において、一導電型の半導 体基板上に互いに離間された第 1及び第2のSiN膜を形成す る工程と、第2のSiN膜を被 覆するようにレジスト膜を形成 する工程と、第1及び第2のS iN膜がマスクとして働くよう な加速電圧で一導電型の不純物 を前記基板のLOCOS酸化膜 形成領域に注入する第1のイオ ン注入工程と、第1のSiN膜 を貫通し、かつレジスト膜で被 覆された第2のSiN膜を貫通 しない加速電圧で一導電型の不 純物を第1のMOSトランジス タ形成領域に注入する第2のイ

[MEANS TO SOLVE THE PROBLEM]

the manufacturing method of the semiconductor device to which the manufacturing method of the semiconductor スタより厚いゲート酸化膜を有 device based on this invention comprises 1st MOS transistor and 2nd MOS transistor which とを具備する半導体装置の製造 has a gate oxide film thicker than 1st MOS transistor, the process which forms the 1st and 2nd SiN film which it separated mutually on the semiconductor substrate of one conductivity type, the process which forms a resist film so that 2nd SiN film may be coated, ion-implanted process which implants the impurity of one conductivity type into the LOCOS oxide-film formation range of said base plate by acceleration voltage which a 1st and 2nd SiN film commits as a mask, 2nd ion implantation process which implants the impurity of one conductivity type into MOS-transistor formation range by acceleration voltage which does not penetrate 2nd SiN film coated with the resist film, and which penetrated 1st SiN film, the process オン注入工程と、レジスト膜を which forms a LOCOS oxide film by oxidizing 除去した後に第1及び第2のS thermally by using a 1st and 2nd SiN film as an



OS酸化膜を形成する工程と、 と、LOCOS酸化膜をマスク として一導電型の不純物を前記 基板の第1及び第2のトランジ スタ形成領域に注入する第3の イオン注入工程と、第1のMO ート酸化膜を選択的に除去する スタ形成領域上に、第2のMO Sトランジスタ形成領域上より 薄いゲート酸化膜を形成する第 2のゲート酸化工程と、を有す ることを特徴としている。

i N膜を耐酸化性マスクとして oxidation-resistant mask after removing a resist 熱酸化を行うことによりLOC film, 1st gate oxidation process which forms a gate oxide film thick after removing a 1st and 第1及び第2のSiN膜を除去 2nd SiN film, 3rd ion-implanted process which した後に厚いゲート酸化膜を形 implants the impurity of one conductivity type 成する第1のゲート酸化工程 into the 1st and 2nd transistor formation range of said base plate by using a LOCOS oxide film as a mask, the process which removes selectively the gate oxide film on MOS-transistor formation range, 2nd gate oxidation process which forms a gate oxide film Sトランジスタ形成領域上のゲ thinner than 2nd MOS-transistor formation range top on 1st MOS-transistor formation 工程と、第1のMOSトランジ range, it is characterized by having these processes.

[0012]

[0012]

【作用】

第2のイオン注入工程で、第1 スタに注入を行うことにより、

[OPERATION]

本発明によれば、まず、上記の According to this invention, it implants only into 1st MOS transistor in 2nd above-mentioned ion のMOSトランジスタのみに注 implantation process first, subsequently, the 入を行い、次いで、第3のイオ threshold value is controlled by 3rd ion ン注入工程で、両方のトランジ implantation process by implanting into both of transistors.

しきい値を制御している。すな That is, it controls by 1st MOS transistor only わち、第1のMOSトランジス with 3rd ion implantation, on the other hand, in タでは、第3のイオン注入のみ 2nd MOS transistor, the control of a threshold で制御され、一方、第2のMO value is made in the implantation amount which Sトランジスタでは、第2及び added the 2nd and 3rd ion implantation.

第3のイオン注入を足し合わせ Thus, in 2nd ion-implanted process, the same



イオン注入工程と同じレジスト 膜を兼用しているので、従来に 比べてマスク合わせ工程が1回 少なくて済むのである。

た注入量において、しきい値の resist film as 1st ion-implanted process for 制御がなされる。しかして、第 channel-stopper layer formation is combined. 2のイオン注入工程では、チャ Therefore, as compared with the prior art, a ネルストッパ層形成用の第1の mask alignment process is few once and ends.

[0013]

としない。これにより、総チャ accordance with the prior art. 減することができる。

[0014]

【実施例】

際にはCMOS構造であるが、

[0013]

さらに、本発明によれば、第3 Furthermore, according to this invention, after のイオン注入工程の後で、1度 3rd ion implantation process, since there is only のゲート酸化工程しかないの a gate oxidation process of 1 time, compared で、従来例に比べてチャネルイ with a prior art example, the heat processing オン注入後の熱処理量を減少さ amount after a channel ion implantation can be せることができ、ボロンの拡散 decreased, and diffusion of a boron can be を極力小さくできる。したがっ made small as much as possible.

て、従来のように、第2のMO Therefore, 2nd carry out MOS-transistor pair Sトランジスタ対してリンイオ and according to phosphorus ion counter ンによるカウンター注入を必要 implantation is not made necessary in

ネル注入量が減り、また、表面 Since the total channel implantation amount にN型不純物がないので、弱反 becomes less and there is no N-type impurity in 転領域におけるリーク電流を低 the surface by this, the leak electric current in a weak reversal range can be decreased.

[0014]

[EXAMPLES]

以下で、本発明の一実施例に係 Below, the manufacturing method of the る半導体装置の製造方法を図面 semiconductor device based on one Example of を参照しながら説明する。なお、 this invention is demonstrated, seeing drawing. 本実施例に係る半導体装置は実 In addition, the semiconductor device based on this Example is CMOS structure in fact. 説明の簡単のためNチャネル側 However, only the N channel side is illustrated



のみ図示している。まず、図 1 for the simplicity of explanation. 化膜)を形成する。次に、図2 において、レジスト膜(14) をマスクとしてSiN膜(13) を選択的にエッチングすること により、第1のSiN膜(13 A) 及び第2のSiN膜(13

において、P型のシリコン基板 First, in FIG. 1, SiN film (13) (silicon nitride (11)上にパッド酸化膜(1 layer) is formed by the reduced-pressure-CVD 2) を介して減圧CVD法によ method through pad oxide-film (12) on りSiN膜(13)(シリコン窒 silicon-substrate (11) of a P-type.

> Next, in FIG. 2, 1st SiN film (13A) and 2nd SiN film (13B) are formed by etching SiN film (13) selectively by using resist film (14) as a mask.

[0015]

B)を形成する。

次に、図3において、レジスト 度、第2のSiN膜(13B) を被覆するように、約 1μ mの (13B) may be coated. 程を行うことである。

[0015]

Next, in FIG. 3, after removing resist film (14). 膜(14)を除去した後に、再 resist film (15) with a film thickness of about 1 micrometer is again, formed so that 2nd SiN film

膜厚のレジスト膜(15)を形 At this time, the P channel side (not shown) is 成する。このとき、Pチャネル also simultaneously coated with the resist film. 側(図示せず)も同時にレジス Therefore, compared with a prior art example, ト膜で被覆しているので、従来 the number of mask alignment processes does 例と比べてここまでの工程で not change in the process so far.

は、マスク合わせ工程数は変わ The characteristics of this invention are らない。本発明の特徴は、以下 performing 2 times of the ion-implanted に説明する2回のイオン注入工 processes demonstrated below.

[0016]

LOCOS酸化膜形成領域に注 This

[0016]

すなわち、第1のイオン注入工 In 1st ion-implantation process, a boron ion 程では、第1及び第2のSiN (11B+) is implanted into the LOCOS oxide-film 膜(13A,13B)がマスク formation range of said base-plate (11) by として働くような加速電圧、例 acceleration voltage (for example, 40KeV) えば40KeVでボロンイオン which a 1st and 2nd SiN film (13A, 13B) acts as (11B+)を前記基板(11)の a mask, 1st implantation layer (16) is formed.

ion implantation is for forming



入し、第1の注入層(16)を channel-stopper 形成する。このイオン注入は、 チャネルストッパ層(19)を 形成するためのもので、その注 multiplied by five. 入量は5E15/cm2(5E1 5は、5掛ける10の15乗を 表す。以下において同じ。) であ る。続く第2のイオン注入工程 では、第1のSiN膜(13A) を貫通し、かつレジスト膜(1 5)で被覆された第2のSiN 膜(13B)を貫通しない加速 電圧、例えば140KeVでボ ロンイオン (11B+)を前記基板 (11) の第1のMOSトラン ジスタ形成領域に注入し、第2 の注入層(17)を形成する。 このイオン注入は、後に形成す る膜厚の薄い第1のMOSトラ ンジスタのしきい値を制御する ためのものであり、その注入量 は、4E12/cm2 である。

layer (19),and that implantation amount is five E15-/cm2.

(Five E15 expresses the 15th power of 10

It is the same as below.)

1st SiN film (13A) is penetrated in 2nd continuing ion implantation process, and a boron ion (11B+) is implanted into 1st MOS-transistor formation range of said base-plate (11) by the acceleration voltage (for example, 140KeV) which does not penetrate 2nd SiN film (13B) coated with resist film (15), 2nd implantation layer (17) is formed.

This ion implantation is for controlling the threshold value of 1st MOS transistor with the thin film thickness formed behind.

The implantation amount is four E12-/cm2.

[0017]

次に、図4において、レジスト 1及び第2のSiN膜(13A, 13B) をマスクとして100 い、8000Å程度のLOCO formed. S酸化膜(18)を形成する。 9) と、第1のMOSトランジ transistor.

[0017]

Next, in FIG. 4, after removing resist film (15), 膜(15)を除去した後に、第 wet oxidation is performed by the 1000 degrees-Celsius grade by using a 1st and 2nd SiN film (13A, 13B) as a mask, and LOCOS 0℃程度でウエット酸化を行 oxide-film (18) of about 8000 Angstroms is

At this time, 1st and 2nd ion implantation layer このとき、第1及び第2のイオ (16,17) is diffused, channel dope diffused-layer ン注入層(16, 17)が拡散 (20) is unified and formed in the bottom of され、LOCOS酸化膜(18) LOCOS oxide-film (18) to channel-stopper layer の下にチャネルストッパ層(1 (19) and the channel range of 1st MOS



スタのチャネル領域にチャネル ドープ拡散層(20)とが一体 化されて形成される。

[0018]

第2のSiN膜(13A, 13 去後、犠牲酸化(ダミー酸化) いゲート酸化膜(21)を形成 formed. する。次いで、図6において、 Pチャネル側を被覆するレジス ト膜(22)を形成し、ボロン イオン(11B+)を前記基板(1 ランジスタ形成領域に注入する 第3のイオン注入工程を行い、 第3の注入層(23)を形成す 圧140KeV, 注入量1.5 う。これにより、第2のMOS イオン注入によって決定され、 第1のMOSトランジスタのし きい値は、本イオン注入と第2 のイオン注入との足し合わせに より決定されることになる。

[0019]

厚いゲート酸化膜(21)を選 selectively.

[0018]

次に、図5において、第1及び Next, it sets in FIG. 5, sacrificial oxidation (dummy oxidation) is performed after removing B)、パッド酸化膜(1 2)を除 a 1st and 2nd SiN film (13A, 13B) and pad oxide-film (12),after removing を行い、その犠牲酸化膜を除去 sacrificial-oxidation film, 950 degrees-Celsius is した後に、さらに950℃の熱 further oxidized thermally and thick gate 酸化を行い、600Å程度の厚 oxide-film (21) of about 600 Angstroms is

Subsequently, in FIG. 6, resist film (22) which coats a P channel side is formed, 3rd ion implantation process which implants a boron ion (11B+) into the 1st and 2nd MOS-transistor 1) の第1及び第2のMOSト formation range of said base-plate (11) is performed, and 3rd implantation layer (23) is formed.

This ion implantation is performed on the る。このイオン注入は、加速電 conditions of acceleration-voltage 140KeV and 1.5E12/cm2 of implantation amounts.

E 1 2 / cm2 という条件で行 Thereby, the threshold value of 2nd MOS transistor is determined by this ion implantation, トランジスタのしきい値は、本 the threshold value of 1st MOS transistor will be added as this ion implantation and 2nd ion implantation, and will be determined by the alignment.

[0019]

次に、図7において、第1のM Next, in FIG. 7, thick gate oxide-film (21) on 1st OSトランジスタ形成領域上の MOS-transistor formation range is removed



択的に除去する。本工程では、 領域上に開口(24)を有する レジスト膜(25)を形成し、 希釈HF溶液により当該ゲート 酸化膜(21)を選択的にエッ チング除去している。そして、 図8にいて、レジスト膜(25) 化工程を行い、第1のMOSト ランジスタ形成領域上に、第2 ト酸化工程は、900℃程度の 熱酸化により、240Å程度の 700 Angstroms. ゲート酸化膜(21)も700 がって、最終的には、第1のM formed. OSトランジスタについては、 240 A程度の薄いゲート酸化 膜(26)が形成され、第2の MOSトランジスタについて は、700Å程度の厚いゲート 酸化膜(21)が形成される。

In this process, resist film (25) which has 第1のMOSトランジスタ形成 opening (24) is formed on 1st MOS-transistor formation range, etching elimination of said gate oxide-film (21) is selectively carried out with the dilution HF solution.

And it is in FIG. 8, after removing resist film (25), 2nd gate oxidation process is performed, and as compared with 2nd MOS-transistor formation を除去した後に第2のゲート酸 range top, thin gate oxide-film (26) is formed on 1st MOS-transistor formation range.

This gate oxidation process forms thin gate のMOSトランジスタ形成領域 oxide-film (26) of about 240 Angstroms by 上に比して薄いゲート酸化膜 thermal oxidation about 900 degrees-Celsius.

(26) を形成する。このゲー However, thick gate oxide-film (21) also further becomes thick in this oxidation process at about

薄いゲート酸化膜(26)を形 Therefore, finally about 1st MOS transistor, thin 成するが、この酸化工程で厚い gate oxide-film (26) of about 240 Angstroms is formed, about 2nd MOS transistor, thick gate A程度にさらに厚くなる。した oxide-film (21) of about 700 Angstroms is

[0020]

れのゲート酸化膜(21,22)

[0020]

その後は、図9において、常法 After that, in FIG. 9, gate-electrode (27) which により、ポリシリコン等からな consists of a polysilicon etc. is formed on each るゲート電極(27)をそれぞ gate oxide-film (21,22) by the conventional method.

上に形成する。 Pチャネル側を Resist film (28) which coats a P channel side is 被覆するレジスト膜(28)を formed, a phosphorus ion (31P+) or an arsenic 形成し、このレジスト膜(2 8) ion (75As+) is ion-implanted by using this resist



たはヒ素イオン (75As+)をイオ formed. ン注入し、ソース層(29)及 びドレイン層(30)を形成す る。

及びゲート電極(27)をマス film (28) and gate-electrode (27) as a mask. クとしてリンイオン (31P+)ま source layer (29) and drain layer (30) are

[0021]

照して説明する。図10は、し implantation amount. MOSトランジスタと第2のM gate oxide film. 対してしきい値が高く、かつ注 large. 入量に対する傾きも大きい。

[0022]

そこで、本実施例では、まず、 のみに4E12/cm2の注入を subsequently, 1.5E12/cm2

[0021]

以上の工程により、240 A程 By the above process, 1st MOS transistor which 度のゲート酸化膜(26)を有 has gate oxide-film (26) of about 240 する第1のMOSトランジスタ Angstroms, and 2nd MOS transistor which has と、700 Å程度のゲート酸化 gate oxide-film (21) of about 700 Angstroms are 膜(21)を有する第2のMO formed, the former can be used for the Sトランジスタとを形成し、前 logic-circuit part of LSI for LCD actuation, and 者をLCD駆動用LSIの論理 the latter can be used for an output driver part. 回路部分に、後者を出力ドライ Here, the control procedure of the threshold バー部分に使用することができ value of a 1st and 2nd MOS transistor is る。ここで、第1及び第2のM demonstrated with reference to FIG. 10.

OSトランジスタのしきい値の FIG. 10 is a figure which shows the relationship 制御方法について、図10を参 between a threshold value and a boron ion

きい値とボロンイオン注入量と 1st MOS transistor and 2nd MOS transistor の関係を示す図である。第1の differ from each other in the film thickness of a

OSトランジスタとはゲート酸 Therefore, the threshold value of 2nd MOS 化膜の膜厚が異なるために、図 transistor is high to the same implantation に示すように、第2のMOSト amount, as shown in a figure, and the gradient ランジスタの方が同一注入量に with respect to implantation amount is also

[0022]

So, in this Example, four E12-/cm2 is first 上記の第2のイオン注入工程 implanted only into 1st MOS transistor in 2nd で、第1のMOSトランジスタ above-mentioned ion implantation process, implantation is



に1. 5 E 1 2 / cm2 の注入を implantation process. 及び第3のイオン注入を足し合 obtained. られる。そして、第2のイオン as it is. オン注入工程と同じレジスト膜 once. (15)をそのまま利用してい るので、従来例に比してマスク

行い、次いで、第3のイオン注 performed to both of transistors, and a 入工程で、両方のトランジスタ threshold value is controlled by 3rd ion

行うことでしきい値の制御して That is, in 2nd MOS transistor, it sets to an いる。すなわち、第2のMOS implantation amount called 1.5E12-/cm2, the トランジスタでは、1.5 E 1 desired threshold value about 1.0V is obtained, 2/cm2 という注入量におい in an implantation amount called 5.5E12-/cm2 て、約1.0Vという所望のし which, on the other hand, added the 2nd and きい値が得られ、一方、第1の 3rd ion implantation by 1st MOS transistor, the MOSトランジスタでは、第2 almost equal threshold value about 0.9V is

わせた5. 5 E 1 2 / cm2 とい And 2nd ion implantation process utilizes the う注入量において、約0.9V same resist film (15) as 1st ion implantation というほぼ等しいしきい値が得 process which forms channel-stopper layer (19)

注入工程は、チャネルストッパ Therefore, as compared with a prior art 層(19)を形成する第1のイ example, a mask alignment process decreases

[0023]

である。

注入を必要としないのである。

合わせ工程が1回少なくなるの

[0023]

さらに、本実施例によれば、第 Furthermore, since after 3rd ion implantation 3のイオン注入工程の後は、1 process has only 1 time of a gate oxidation 回のゲート酸化工程しかないの process according to this Example, compared で、従来例に比べてチャネルイ with a prior art example, the heat processing オン注入後の熱処理量を減少で amount after a channel ion implantation can be き、この結果従来例のように第 reduced, as a result, the counter implantation by 2のMOSトランジスタに対し the phosphorus ion is not made necessary to てリンイオンによるカウンター 2nd MOS transistor like a prior art example.

In addition, in FIG. 10, as shown with the なお、図10において、一点鎖 alternate long and short dash line, in order that 線で示したように、従来例では a threshold value might become higher too しきい値が高くなりすぎるため much, by the prior art example, counter



とができた。

[0024]

に、カウンター注入を必要とし implantation was made necessary.

ていた。これにより、総イオン Thereby, the total ion implantation amount 注入量が減り、またチャネル表 becomes less, and the density on the surface of 面の濃度を比較的高く設定でき a channel can be set up comparatively highly. るので、弱反転領域におけるリ Therefore, the leak electric current in a weak ーク電流を大幅に小さくするこ reversal range was able to be sharply made small.

[0024]

【発明の効果】

以上説明したように、本発明に In ランジスタのしきい値を所望の implantation process なくすることができ、製造工程 a manufacturing process. 2のMOSトランジスタの弱反 can be improved. により、製造工程の合理化及び reduction in power 低消費電力化に寄与することが manufacturing process. できる。

[ADVANTAGE OF THE INVENTION]

the manufacturing method of the よれば、第1のMOSトランジ semiconductor device which, as explained スタと、第1のMOSトランジ above, comprises 1st MOS transistor and 2nd スタより厚いゲート酸化膜厚を MOS transistor which has gate oxidation film 有する第2のMOSトランジス thickness thicker than 1st MOS transistor タとを具備する半導体装置の製 according to this invention, the number of times 造方法において、それぞれのト of mask alignment made necessary in the ion for controlling 値に制御するためのイオン注入 threshold value of each transistor to a desired 工程において必要とされるマス value can be decreased as compared with the ク合わせ回数を従来に比して少 former, and it can contribute to rationalization of

の合理化に寄与することができ Moreover, according to this invention, the weak る。また、本発明によれば、第 reversal characteristics of 2nd MOS transistor

転特性を向上することができ Especially, by using to manufacture of LSI for る。特に、低電圧系と高電圧系 LCD actuation which has two power sources of の二電源を有するLCD駆動用 low-voltage -based and high-voltage -based, it LSI等の製造に適用すること can contribute to rationalization and the consumption of a

【図面の簡単な説明】

[BRIEF DESCRIPTION OF THE DRAWINGS]

(C) DERWENT 5/27/2003 20/32



【図1】

の断面図である。

【図2】

の断面図である。

【図3】

の断面図である。

【図4】

の断面図である。

【図5】

の断面図である。

【図6】

の断面図である。

【図7】

の断面図である。

[FIG. 1]

本発明の一実施例に係る半導体 It is 1st sectional drawing explaining the 装置の製造方法を説明する第1 manufacturing method of the semiconductor device based on one Example of this invention.

[FIG. 2]

本発明の一実施例に係る半導体 It is 2nd sectional drawing explaining the 装置の製造方法を説明する第2 manufacturing method of the semiconductor device based on one Example of this invention.

[FIG. 3]

本発明の一実施例に係る半導体 It is 3rd sectional drawing explaining the 装置の製造方法を説明する第3 manufacturing method of the semiconductor device based on one Example of this invention.

[FIG. 4]

本発明の一実施例に係る半導体 It is 4th sectional drawing explaining the 装置の製造方法を説明する第4 manufacturing method of the semiconductor device based on one Example of this invention.

[FIG. 5]

本発明の一実施例に係る半導体 It is 5th sectional drawing explaining the 装置の製造方法を説明する第5 manufacturing method of the semiconductor device based on one Example of this invention.

[FIG. 6]

本発明の一実施例に係る半導体 It is 6th sectional drawing explaining the 装置の製造方法を説明する第6 manufacturing method of the semiconductor device based on one Example of this invention.

[FIG. 7]

本発明の一実施例に係る半導体 It is 7th sectional drawing explaining the 装置の製造方法を説明する第7 manufacturing method of the semiconductor device based on one Example of this invention.



【図8】

の断面図である。

【図9】

の断面図である。

【図10】

図である。

【図11】

ある。

【図12】

ある。

【図13】

ある。

【図14】

ある。

[FIG. 8]

本発明の一実施例に係る半導体 It is 8th sectional drawing explaining the 装置の製造方法を説明する第8 manufacturing method of the semiconductor device based on one Example of this invention.

[FIG. 9]

本発明の一実施例に係る半導体 It is 9th sectional drawing explaining the 装置の製造方法を説明する第9 manufacturing method of the semiconductor device based on one Example of this invention.

[FIG. 10]

MOSトランジスタのしきい値 It is the figure which shows the relationship とイオン注入量との関係を示す between the threshold value of a MOS transistor, and an ion implantation amount.

[FIG. 11]

従来例に係る半導体装置の製造 It is 1st sectional drawing explaining the 方法を説明する第1の断面図で manufacturing method of the semiconductor device based on a prior art example.

[FIG. 12]

従来例に係る半導体装置の製造 It is 2nd sectional drawing explaining the 方法を説明する第2の断面図で manufacturing method of the semiconductor device based on a prior art example.

[FIG. 13]

従来例に係る半導体装置の製造 It is 3rd sectional drawing explaining the 方法を説明する第3の断面図で manufacturing method of the semiconductor device based on a prior art example.

[FIG. 14]

従来例に係る半導体装置の製造 It is 4th sectional drawing explaining the 方法を説明する第4の断面図で manufacturing method of the semiconductor device based on a prior art example.



【図15】

ある。

【図16】

ある。

【図17】

ある。

【図18】

ある。

【図19】

ある。

【図20】

である。

【図1】

[FIG. 15]

従来例に係る半導体装置の製造 It is 5th sectional drawing explaining the 方法を説明する第5の断面図で manufacturing method of the semiconductor device based on a prior art example.

[FIG. 16]

従来例に係る半導体装置の製造 It is 6th sectional drawing explaining the 方法を説明する第6の断面図で manufacturing method of the semiconductor device based on a prior art example.

[FIG. 17]

従来例に係る半導体装置の製造 It is 7th sectional drawing explaining the 方法を説明する第7の断面図で manufacturing method of the semiconductor device based on a prior art example.

[FIG. 18]

従来例に係る半導体装置の製造 It is 8th sectional drawing explaining the 方法を説明する第8の断面図で manufacturing method of the semiconductor device based on a prior art example.

[FIG. 19]

従来例に係る半導体装置の製造 It is 9th sectional drawing explaining the 方法を説明する第9の断面図で manufacturing method of the semiconductor device based on a prior art example.

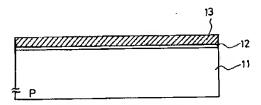
[FIG. 20]

従来例に係る半導体装置の製造 It is 10th sectional drawing explaining the 方法を説明する第10の断面図 manufacturing method of the semiconductor device based on a prior art example.

[FIG. 1]

JP8-204022-A





11: シリコン基板

12:パ小酸化膜

13: SiN膜

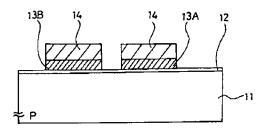
11: silicon substrate

12: pat oxide film

13: SiN film

【図2】

[FIG. 2]



13A,13B:新1,第2ヵSiN膜

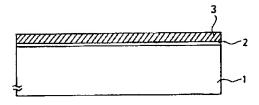
14 - レジスト膜

13A, 13B: the first and second SiN film

14: resist film

【図11】

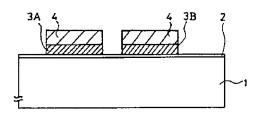
[FIG. 11]





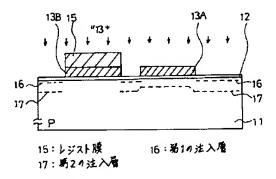
【図12】

[FIG. 12]



【図3】

[FIG. 3]



15: resist film

16: the first implantation layer

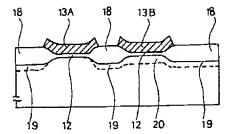
17: the second implantation layer

【図4】

[FIG. 4]

JP8-204022-A





18: LOCOS 酸化膜

19:チネルストッパ層

20:チャネルドープ拡散層

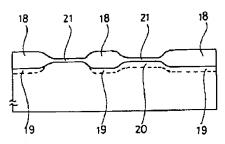
18: LOCOS oxide film

19: Channel-stopper layer

20: Channel dope diffused layer

【図5】

[FIG. 5]



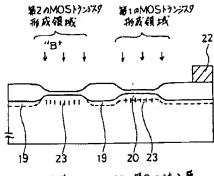
21:厚いケート酸化膜

21: thick gate oxide film

【図6】

[FIG. 6]





22:レジスト膜

23:第3ヵ注入層

2nd MOS-transistor formation area

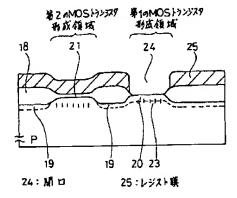
1st MOS-transistor formation area

22: resist film

23: the third implantation layer

【図7】

[FIG. 7]



2nd MOS-transistor formation area

1st MOS-transistor formation area

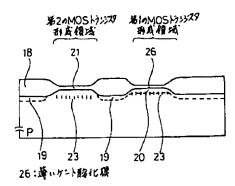
24: opening

25: resist film

【図8】

[FIG. 8]





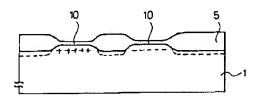
2nd MOS-transistor formation area

1st MOS-transistor formation area

26: thin gate oxide film

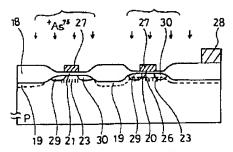
【図17】

[FIG. 17]



【図9】

[FIG. 9]



27: ゲート電極

28:レジスト膜

29: ソース角

30:ドレイン層

27: gate electrode

28: resist film

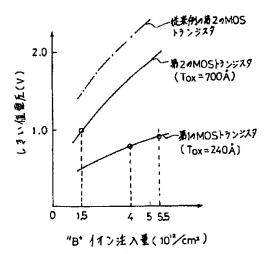
29: source layer

30: drain layer



【図10】

[FIG. 10]



Threshold voltage (V)

2nd MOS-transistor of prior art example

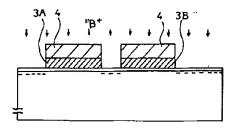
2nd MOS-transistor ...

1st MOS-transistor ...

"B+ ion implantation amount ...

【図13】

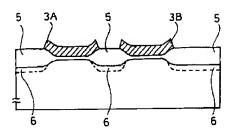
[FIG. 13]



【図14】

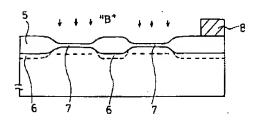
[FIG. 14]





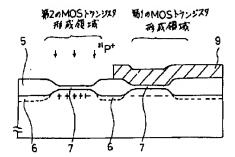
【図15】

[FIG. 15]



【図16】

[FIG. 16]



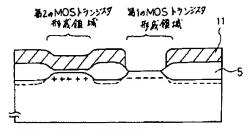
2nd MOS-transistor formation area

1st MOS-transistor formation area

【図18】

[FIG. 18]



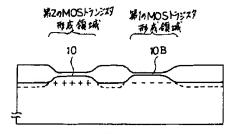


2nd MOS-transistor formation area

1st MOS-transistor formation area

【図19】

[FIG. 19]

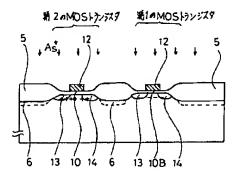


2nd MOS-transistor formation area

1st MOS-transistor formation area

【図20】

[FIG. 20]



2nd MOS-transistor

1st MOS-transistor



DERWENT TERMS AND CONDITIONS

Derwent shall not in any circumstances be liable or responsible for the completeness or accuracy of any Derwent translation and will not be liable for any direct, indirect, consequential or economic loss or loss of profit resulting directly or indirectly from the use of any translation by any customer.

Derwent Information Ltd. is part of The Thomson Corporation

Please visit our home page:

"WWW.DERWENT.CO.UK" (English)

"WWW.DERWENT.CO.JP" (Japanese)